

**BEST AVAILABLE COPY**

IV 376 524 712 US

## Patent

<b>Patent No</b>	459385	<b>Publication Date</b>	2001/10/11
<b>Application No</b>	089101620	<b>Filing Date</b>	2000/6/13
<b>Title</b>	Formation of controlled trench top isolation layers for vertical transistors		
<b>IPC</b>	H01L27/108		

## Author / Inventor

GRUENING, ULRIKE (DE) ; BEITNER, JOCHEN (DE) ;  
 TOBBEN, DIRK (DE) ; LEE, GILL (KR) ; SPINDLER, OSWALD+  
 (DE) ;

## Applicant

<b>Name</b>	<b>Country Individual/Company</b>	
INFINEON TECHNOLOGIES NORTH AMERICAN CORPORATION	US	Company

## Priority Data

<b>Country</b>	<b>Application No</b>	<b>Priority Date</b>
US	19990241756	1999/2/1

## Patent Abstract

A method for controlling isolation layer thickness in trenches for semiconductor devices includes the steps of providing a trench (14) having a conductive material (24) formed therein, forming a liner (36) on sidewalls of the trench above the conductive material, depositing a selective oxide deposition layer (40) on the conductive material and the sidewalls, the selective oxide deposition layer selectively growing at an increased rate on the conductive material (24) than on the liner (36) of the sidewalls and a top surface (43) and removing the selective oxide deposition layer except for a portion in contact (42) with the conductive material (24) to form an isolation layer on the conductive material in the trench.

附  
件

## 中華民國專利公報 [19] [12]

[11]公告編號：459385

[44]中華民國 90年(2001) 10月11日  
發明

全 8 頁

[51] Int.Cl 06: H01L27/108

[54]名稱：形成垂直型電晶體用受控渠道頂端絕緣層的方法

[21]申請案號：089101620 [22]申請日期：中華民國 89年(2000) 06月13日

[30]優先權：[31]09/241,756 [32]1999/02/01 [33]美國

[72]發明人：

尤瑞克古魯寧	德國
喬陳貝特納	美國
德克托賓	德國
吉爾李	美國
歐斯瓦德史賓德勒	德國
科尼摩加布瑞克	德國

[71]申請人：

印芬龍科技北美股份有限公司 美國

[74]代理人：何金塗 先生

1

2

[57]申請專利範圍：

1. 一種控制半導體元件用絕緣層在渠道中之厚度的方法，其包含步驟：  
提供一具有導電材料形成在其中之渠道；  
在位於該導電材料上方之渠道側壁上，形成一墊圈；  
沈積一選擇氧化物沈積層在該導電材料和該側壁之上，在該導電材料之上選擇性成長該選擇氧化物沈積層的增加速率，大於該側壁之墊圈；及  
移除非與該導電材料接觸部分以外之該選擇氧化物沈積層，以在該渠道中之該導電材料上，形成一絕緣層。
2. 如申請專利範圍第1項之方法，其中沈積該選擇氧化物沈積層之步驟，包含藉由化學氣相沈積技術沈積該選擇氧化物沈積層。
3. 如申請專利範圍第1項之方法，其中該選擇氧化物沈積層包含一臭氧活化TEOS 氧化物。

4. 如申請專利範圍第1項之方法，其中在該導電材料上之成長的增加速率，約比在該側壁之墊圈上的大5倍。
5. 如申請專利範圍第1項之方法，其中形成墊圈在側壁上之步驟包含氮化物墊圈。
6. 如申請專利範圍第1項之方法，其中該選擇氧化物沈積之厚度約在10nm到200nm之間。
10. 7. 如申請專利範圍第1項之方法，其中該導電材料包含多晶矽，而該方法還包含氧化在該絕緣層下之該多晶矽的步驟。
15. 8. 如申請專利範圍第1項之方法，其中又包含自該渠道側壁移除該墊圈之步驟。
9. 一一種製造垂直型電晶體之方法，包含其步驟：  
提供一具有渠道形成在其中之基板，各渠道都具有一形成在其中之儲存節
- 20.

- 點，而該儲存節點具有埋帶；在位於該埋帶上方之渠道側壁上，形成一墊圈；沈積一選擇氧化物沈積層在該埋帶和該側壁之上，在該埋帶之上選擇性成長該選擇氧化物沈積層的增加速率，大於該側壁之墊圈；及移除除與該埋帶接觸部份以外之該選擇氧化物沈積層，以形成一渠道頂端絕緣層；及在該渠道之中形成一閘極導體，以便形成一毗鄰該閘極導體之通道，用以在該埋帶和導電線之間，在閘極導體活化時，提供電性上的傳導。
- 10.如申請專利範圍第9項之方法，其中又包含橫向蝕刻該基板之步驟，以形成凹進基板之凹槽，使得該凹槽延伸越過該渠道之側邊，該凹槽會與該渠道相連；及沿著在該基板中之該凹槽，提供一通道，以便在閘極導體活化時，可以在該埋帶和該導電線之間提供貫穿的電性傳導。
- 11.如申請專利範圍第10項之方法，其中該橫向蝕刻之步驟，包含藉由乾式蝕刻製程作橫向蝕刻。
- 12.如申請專利範圍第9項之方法，其中該導電線包含位元線。
- 13.如申請專利範圍第9項之方法，其中沈積該選擇氧化物沈積層之步驟，包含藉由化學氣相沈積技術沈積該選擇氧化物沈積層。
- 14.如申請專利範圍第9項之方法，其中該選擇氧化物沈積層包含一臭氧活化TEOS氧化物。
- 15.如申請專利範圍第9項之方法，其中在該埋帶上之成長的增加速率，約比在該側壁之墊圈上的大5倍。
- 16.如申請專利範圍第9項之方法，其中形成墊圈在側壁上之步驟，包含氮化

- 物墊圈。
- 17.如申請專利範圍第9項之方法，其中在該埋帶上之次常壓層的厚度約在10nm到200nm之間。
5. 18.如申請專利範圍第9項之方法，其中在該埋帶包含多晶矽，且還包含稠化在該渠道頂端絕緣層之下之多晶矽的步驟。
- 19.如申請專利範圍第9項之方法，還包含自該渠道側壁移除該墊圈之步驟。
10. 20.一種半導體記憶體包含：
- 一具有許多深渠道形成在其中之基板，各深渠道都具有：
- 形成在其中之埋帶，以接近放置在該深渠道中之儲存節點；
- 一由選擇性成長之以常壓化學氣相沈積材料而形成的絕緣層，該次常壓化學氣相沈積材料層係形成在該埋帶之上，其中在該埋帶上之該次常壓化學氣相沈積材料層的成長速率，比在位於該埋帶上該渠道側壁上的快。
20. 21.如申請專利範圍第20項之半導體記體，其中該絕緣層包含一臭氣活化TEOS氧化物。
25. 22.如申請專利範圍第20項之半導體記體，其中該絕緣層之厚度約在10nm到200nm之間。
- 23.如申請專利範圍第20項之半導體記體，其中又包含一存取電晶體，其含有形成在該渠道中之閘極，且至少有一部分的閘極與該絕緣層接觸，該電晶體具有形成在毗鄰該閘極之該基板中的通道，其係用以將該埋帶電性耦合到位元線。
30. 24.如申請專利範圍第23項之半導體記體，其中該基板包含一凹槽部，該凹槽部分係用以使增加自該埋帶向外擴散和該通道之間的重疊部分。
35. 圖式簡單說明：
40. 第一圖為部分半導體元件，其具有

柱環且由填充物材料填充之渠道結構的橫截面圖：

第二圖為根據本發明第一圖之半導體元件的橫截面圖，具有形成在渠道側壁上之墊圈，和沈積在該墊圈和埋帶上之次常壓層；

第三圖為根據本發明第二圖之半導體元件的橫截面圖，該次常壓沈積層回蝕刻以形成渠道頂端絕緣層；

第四圖為第三圖之半導體元件的橫截面圖，其根據本發明完成淺絕緣渠道；

第五圖為第四圖之半導體元件的橫截面圖，顯示一導電材料根據本發明形成在渠道其餘部分之中；

第六圖為第五圖之半導體元件的橫截面圖，顯示一垂直型電晶體具有根據本發明在渠道中形成之堆疊閘極和耦合到電晶體的擴散區之一位元線結點及位元線結點；

第七圖為第三圖之半導體元件的橫

截面圖，其具有根據本發明沈積在渠道頂端絕緣線上之導電材料，和為形成上提淺絕緣渠道而準備之間極氧化物；

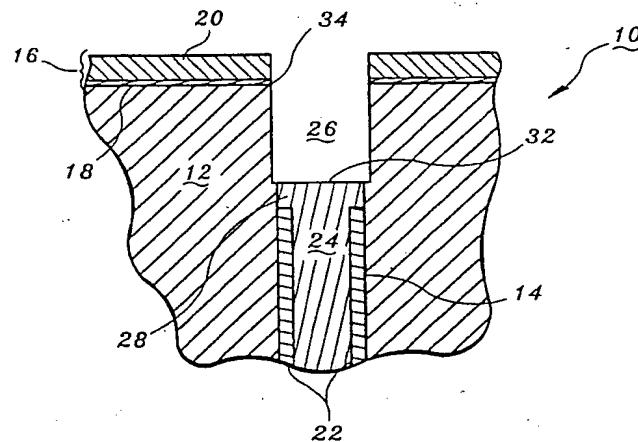
第八圖為第七圖之半導體元件的橫截面圖，其具有根據本發明蝕刻且為形成被上提淺絕緣渠道而填充之位置；

第九圖為第八圖之半導體元件的橫截面圖，其具有根據本發明沈積在上提淺絕緣渠道材料上，和在元件上表面上之介電質層和導電層；

第十圖為第九圖之半導體元件的橫截面圖，具有根據本發明形成在渠道之中，且形成在上提淺絕緣渠道上之間極結構；

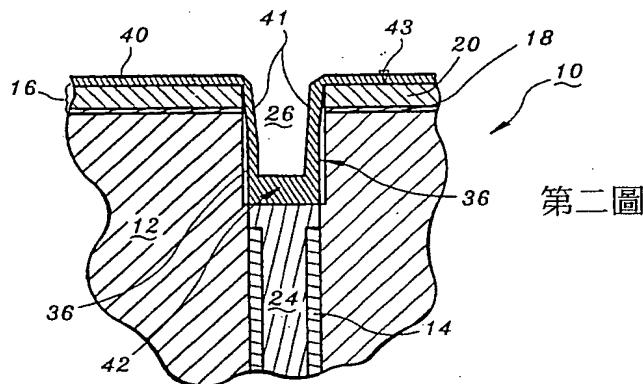
第十一圖為根據本發明之半導體元件的橫截面圖，顯示在基板中形成一凹槽，用於在通道和埋帶之間具有改善耦合之垂直型電晶體；及

第十二圖-第十四圖為根據本發明完成之各種埋入式位元線組態的橫截面圖。

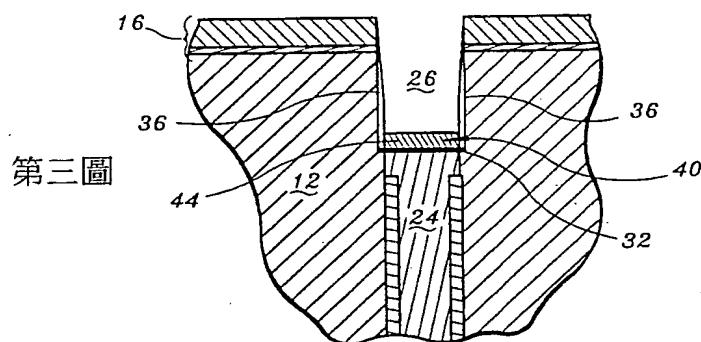


第一圖

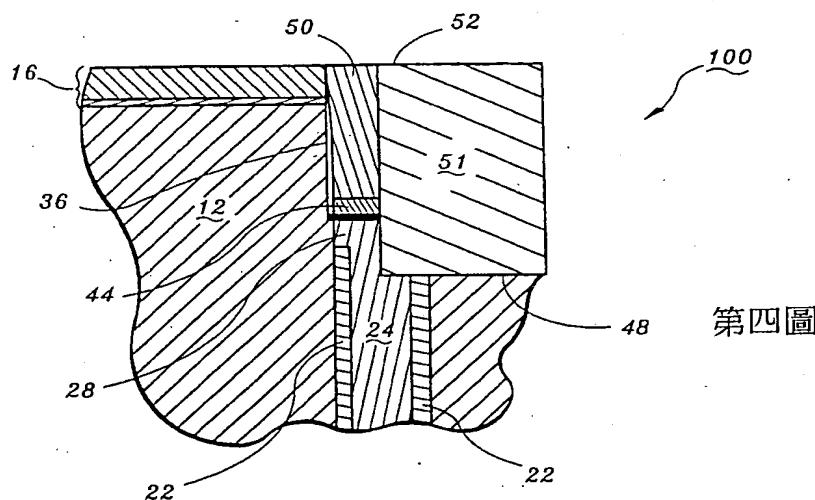
(4)



第二圖

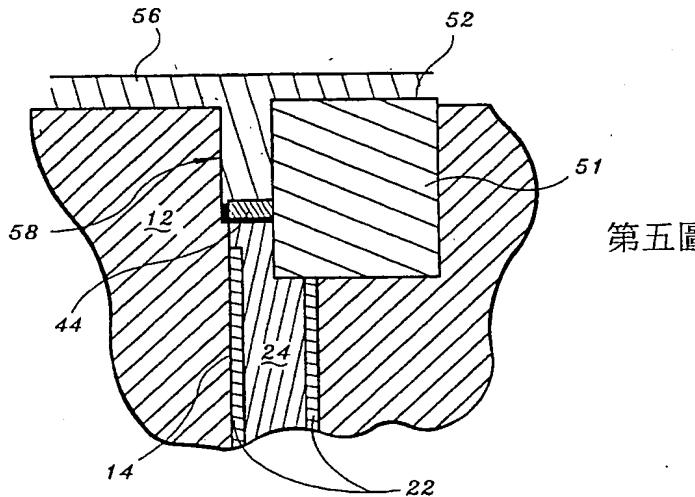


第三圖

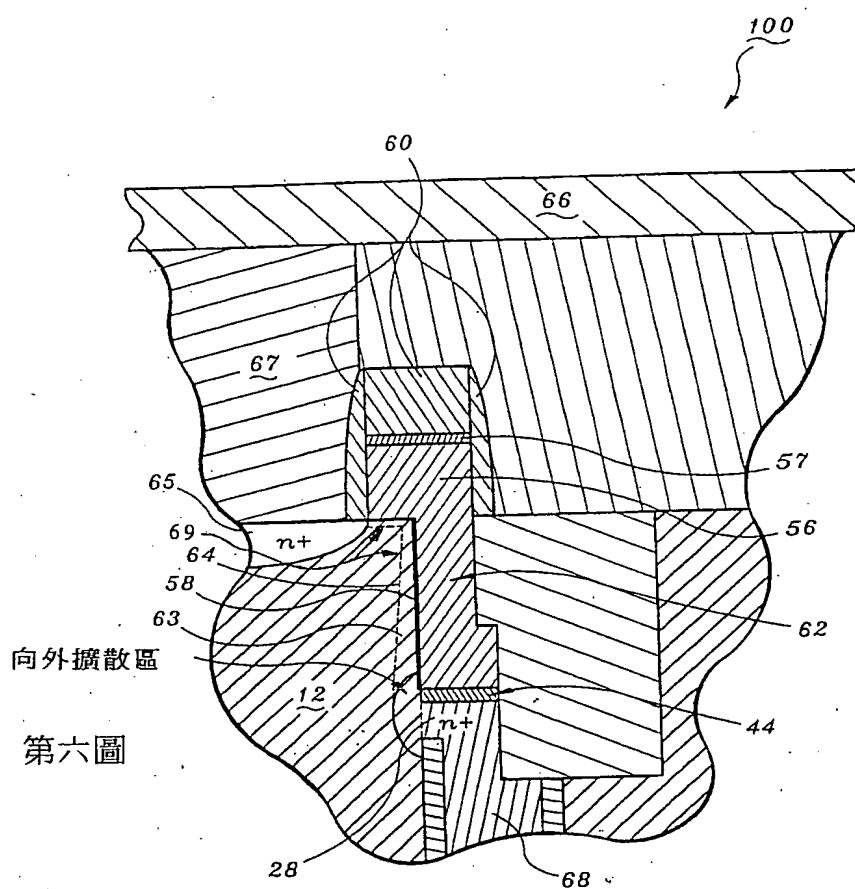


第四圖

(5)



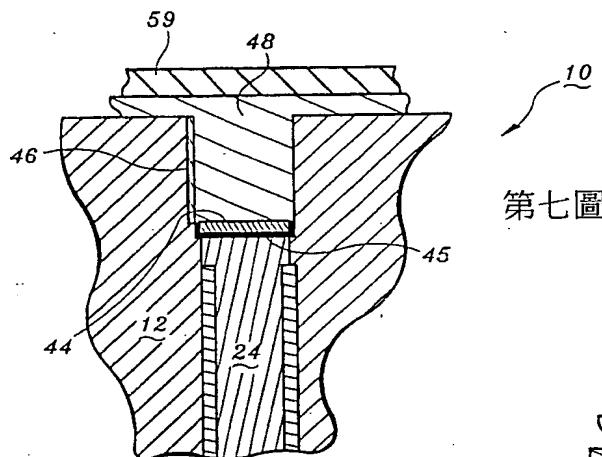
第五圖



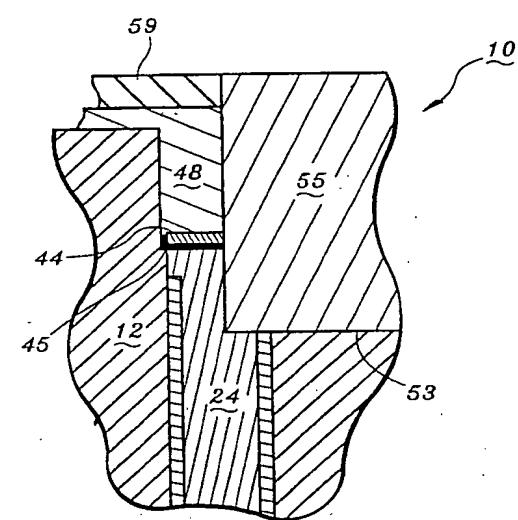
向外擴散區

第六圖

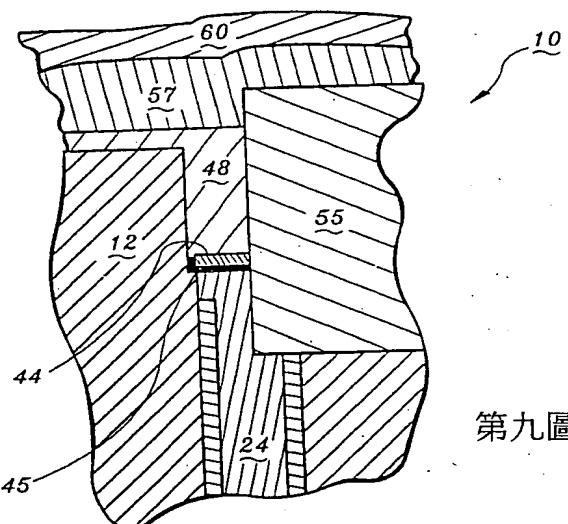
(6)



第七圖

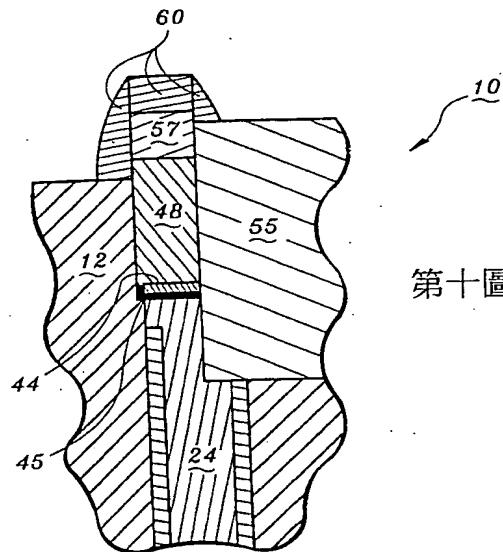


第八圖

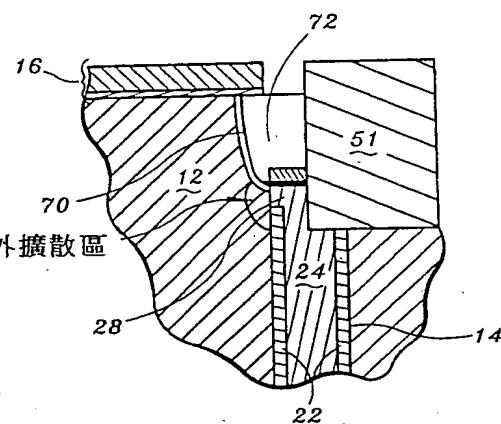


第九圖

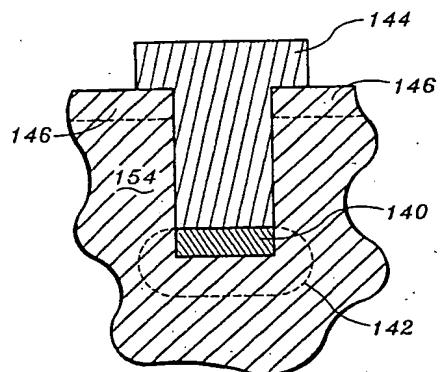
(7)



第十圖

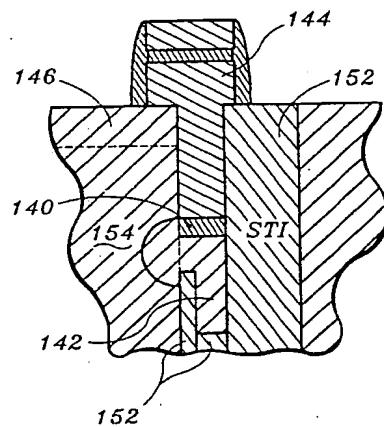


第十一圖 向外擴散區

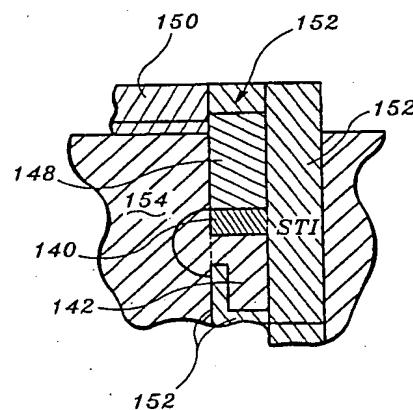


第十二圖

(8)



第十三圖



第十四圖

修正  
補充

# 公告本

申請日期	89.6.13
案 號	89101620
類 別	H01L 29/108

(以上各欄由本局填註)

A4  
C4

459385

## 發新型專利說明書 (90年6月修正)

一、發明名稱 新型		中 文 形成垂直型電晶體用受控渠道頂端絕緣層的方法
		英 文 Formation of controlled trench top isolation layers for vertical transistors
二、發明人創作		<p>姓 名 國 籍</p> <p>1. 尤瑞克古魯寧 (Ulrike Gruening)      2. 喬陳貝特納 (Jochen Beitner)      3. 德克托賓 (Dirk Tobben)      4. 吉爾李 (Gill Lee)      5. 歐斯瓦德史賓德勒 (Oswald Spindler)      6. 科尼摩加布瑞克 (Zeonimir Gabric)      1.-3. 皆屬德國      4. 韓國      5.-6. 皆屬德國</p> <p>住、居所</p> <p>1. 德國慕尼黑 81539 瑞塔勒街 36 號      2. 美國紐約州 12590 瓦平格斯漢布雷普道 27 號      3. 德國蘭居布魯克 01465 努拉斯漢馬街 7 號      4. 美國紐約州 12590 瓦平格斯漢布雷伍德高地 41 號      5. 德國瓦特史塔頓 D-85591 洛特辛街 16 號      6. 德國索米汀 D-85604 荷索格 - 路朵夫 - 路 25 號</p>
三、申請人		<p>姓 名 (名稱) 國 籍</p> <p>印芬龍科技北美股份有限公司 (Infineon Technologies North American Corporation) 美國</p> <p>住、居所 (事務所)</p> <p>美國加州 95112-6000 聖荷西北一街 1730 號</p> <p>代表人 姓 名</p> <p>沙布林納 A. 史坦利 (Sabrina A. Stanley)</p>

修正  
補充

# 公告本

申請日期	89.6.13
案號	89101620
類別	H01L 29/108

(以上各欄由本局填註)

A4  
C4

459385

## 發明專利說明書 (90年6月修正)

一、發明 新型 名稱	中文	形成垂直型電晶體用受控渠道頂端絕緣層的方法
	英文	Formation of controlled trench top isolation layers for vertical transistors
二、發明人 創作	姓名	1. 尤瑞克古魯寧 (Ulrike Gruening) 2. 喬陳貝特納 (Jochen Beitner) 3. 德克托賓 (Dirk Tobben) 4. 吉爾李 (Gill Lee) 5. 歐斯瓦德史賓德勒 (Oswald Spindler) 6. 科尼摩加布瑞克 (Zeonimir Gabric) 1.-3. 皆屬德國 4. 韓國 5.-6. 皆屬德國
	國籍	1. 德國慕尼黑 81539 瑞塔勒街 36 號 2. 美國紐約州 12590 瓦平格斯漢布雷普道 27 號 3. 德國蘭居布魯克 01465 努拉斯漢馬街 7 號 4. 美國紐約州 12590 瓦平格斯漢布雷伍德高地 41 號 5. 德國瓦特史塔頓 D-85591 洛特辛街 16 號 6. 德國索米汀 D-85604 荷索格 - 路朵夫 - 路 25 號
三、申請人	姓名 (名稱)	印芬龍科技北美股份有限公司 (Infineon Technologies North American Corporation)
	國籍	美國
	住、居所 (事務所)	美國加州 95112-6000 聖荷西北一街 1730 號
代表人 姓名	沙布林納 A. 史坦利 (Sabrina A. Stanley)	

四、中文發明摘要(發明之名稱：形成垂直型電晶體用受控渠道頂端絕緣層的方法)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

英文發明摘要(發明之名稱：Formation of controlled trench top isolation layers for vertical transistors)

A method for controlling isolation layer thickness in trenches for semiconductor devices includes the steps of providing a trench (14) having a conductive material (24) formed therein, forming a liner (36) on sidewalls of the trench above the conductive material, depositing a selective oxide deposition layer (40) on the conductive material and the sidewalls, the selective oxide deposition layer selectively growing at an increased rate on the conductive material (24) than on the liner (36) of the sidewalls and a top surface (43) and removing the selective oxide deposition layer except for a portion in contact (42) with the conductive material (24) to form an isolation layer on the conductive material in the trench.

459385

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6

B6

本案已向：

美國 國(地區) 申請專利，申請日期： 案號：  有  無主張優先權

1999年02月01日 案號 09/241,756(主張優先權)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

有關微生物已寄存於： 寄存日期： 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明(一)

### 發明背景

#### 1. 技術領域

本發明係關於一種半導體元件，尤其是一種藉由採用選擇次常壓化學氣相沈積氧化物(SACVE-oxide)，形成用於半導體記憶體之深渠道頂端絕緣層的方法。

#### 2. 相關技術說明

半導體記憶體，如動態隨機存取記憶體(DRAM)，通常包含具有儲存節點之記憶體單胞。一般而言，這些儲存節點係形成在蝕刻進入半導體記憶體晶片之基板的深渠道之中。儲存節點係使用存取電晶體作為存取，其中存取電晶體可以根據期望動作是否為讀取或寫入功能，而將電荷儲存在儲存節點之中，或自儲存節點取出電荷。其常常需要確保儲存節點可以透過深渠道頂端，而與閘極導體有足夠的電性絕緣。

一種透過渠道頂端而確保儲存節點有足夠電性絕緣之方式，係在儲存節點上提供一頂端渠道絕緣層。該儲存節點通常包含部分填充深渠道之多晶矽材料。在製造期間，多晶矽提供一留在渠道頂端之凹槽。在半導體元件的表面上，沈積一氧化物(二氧化矽)。在沈積氧化物時，氧化物係沈積在渠道中的多晶矽之上。藉由平坦化半導體元件之表面，和任意地挖掘氧化物，留下凹槽底部30-50nm之氧化物層，而移除所沈積之氧化物的其他部分。此氧化物層被稱為渠道頂端氧化物或絕緣。但是，單只該氧化物層並不能提供足夠的絕緣，以符合可靠度的

## 五、發明說明(二)

需求。

在垂直型電晶體係被製造在記憶體元件之上的情形下，儲存節點之埋帶部分，即直接位在頂端渠道氧化物之下的一部分，必須向外擴散，以連接到沿著在頂端渠道氧化物上之深渠道中的閘極導體延伸之垂直型電晶體通道。在此情形下，當該垂直型電晶體導通時，使儲存節點和位元線之間連通。通道必須與閘極導體作電性上的絕緣。因此，可在其間提供一絕緣層，通常係藉由氧化在深渠道和通道中之閘極導體之多晶矽的部分，而形成一氯化物層。

該氯化物的挖掘很難控制。此因難性係在殘留的氧化物層厚度方面，有許多變異性。該渠道頂端氧化物厚度係一重要參數，而且必須保持，使半導體記憶體可以適當地工作。如上所述，渠道頂端氧化物電性絕緣儲存節點和半導體元件之閘極導體。

因此，需存在一渠道頂端介電質，其具有一可以抵抗製造記憶體元件所需之製程步驟的受控厚度。還需存在一使用選擇次常壓化學氣相沈積氧化物成長製程，提供渠道頂端絕緣之方法。

### 發明總述

一種用於半導體元件，控制在渠道中之絕緣層厚度的方法，其步驟包含：提供一具有導電材料形成在其中之渠道，在位於導電材料上方之渠道的側壁上，形成一墊圈，沈積一選擇氯化物沈積層在導電材料之側壁上，在

## 五、發明說明(3)

導電材料上之選擇性成長選擇氧化物沈積層的增加速率，比側壁墊圈上的大，及移除了與導電材料接觸的部分以外之選擇氧化物沈積層，以在渠道中之導電材料上形成一絕緣層。

對於另一種方法，其沈積該選擇氧化物沈積層之步驟，可包含藉由化學氣相沈積法，沈積該選擇氧化物沈積層。該選擇氧化物沈積層可包含臭氧活化TEOS氧化物，而該墊圈可包含氯化物。在導電材料上之成長的增加速率約比側壁之墊圈大5倍。在側壁上形成墊圈之步驟可包含氯化物墊圈。選擇氧化物沈積層之厚度宜介於約10nm和約200nm之間。導電材料宜包含多晶矽，及還可包含在渠道頂端絕緣層之下之多晶矽的調化步驟。其方法也宜包含自渠道側壁移除墊圈之步驟。

一種製造垂直型電晶體之方法，其步驟包含：提供一形成有渠道之基板，各渠道具有形成在其中之儲存節點，而儲存節點則具有埋帶，在位於埋帶上方之渠道的側壁上，形成一墊圈，沈積一選擇氧化物沈積層在埋帶和側壁上，在埋帶上之選擇性成長選擇氧化物沈積層的增加速率，大於側壁之墊圈上的速率，及移除了與埋帶接觸的部分以外之選擇氧化物沈積層，以形成一渠道頂端絕緣層，自側壁移除該墊圈，並在渠道之中形成閘極導體，使得通道被形成在閘極導體附近，用以提供在埋帶和閘極導體活化的導電線之間電性上的傳導。

對於另一種方法，可包含橫向蝕刻基板之步驟，以形

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

修正

10年6月15日

## 五、發明說明(補充)

(請先閱讀背面之注意事項再填寫本頁)

裝訂線

成一凹入基板之凹槽，使得此凹槽延伸越過渠道的側邊。該凹槽會代替渠道。橫向蝕刻之步驟還可包含藉由乾式蝕刻製程處理橫向蝕刻。該導電線可包含位元線。沈積選擇氧化物沈積層之步驟可包含藉由化學氣相沈積技術，沈積該選擇氧化物沈積層。該選擇氧化物沈積層宜包含臭氧活化TEOS氧化物，而該墊圈則包含氮化物。在埋帶上之成長的增加速率宜約比側壁之墊圈大5倍。在側壁上形成墊圈之步驟可包含氮化物墊圈。在埋帶上之選擇氧化物沈積層的厚度宜介於約10nm到約100nm之間。埋帶包含多晶矽，及也可包含矽化在渠道頂端絕緣層之下之多晶矽的步驟。其方法可包含自渠道側壁移除墊圈之步驟。

本發明也提供一種半導體記憶體，其包含一具有許多渠道形成在其中之基板，各深渠道都具有一形成在其中之埋帶，用以接近放置在深渠道中之儲存節點。由一選擇性成長的次常壓化學氣相沈積材料形成一絕緣層，藉由成長該次常壓化學氣相沈積材料層，將其形成在埋帶之上，其中在埋帶之上的成長速率快於位在埋帶上方之渠道的側壁上之成長速率。

對於另一實施例，該絕緣層宜包含一臭氧活化TEOS。此絕緣層之厚度係在約10nm到約200nm之間。其宜包含一存取電晶體，且閘極宜形成在渠道之中，其中至少會有一部分的閘極會與絕緣層接觸。該電晶體可包含一形成在基板中之通道，此通道毗鄰閘極，用以將埋帶之電

## 五、發明說明(5)

性耦合到位元線。該基板可包含一挖掘部分，用以使增加由埋帶和通道向外擴散之間的重疊部分。

由下面參考相關附圖而詳細說明之實施例，本發明這些和其他的目的，特徵和優點將會變的更明瞭。

### 圖式簡述

本發明將參考下面各圖詳細說明優選實施例於後，其中：

第1圖為部分半導體元件，其具有柱環且由填充物材料填充之渠道結構的橫截面圖；

第2圖為根據本發明第1圖之半導體元件的橫截面圖，具有形成在渠道側壁上之墊圈，和沈積在該墊圈和埋帶上之次常壓層；

第3圖為根據本發明第2圖之半導體元件的橫截面圖，該次常壓沈積層回蝕刻以形成渠道頂端絕緣層；

第4圖為第3圖之半導體元件的橫截面圖，其根據本發明完成淺絕緣渠道；

第5圖為第4圖之半導體元件的橫截面圖，顯示一導電材料根據本發明形成在渠道其餘部分之中；

第6圖為第5圖之半導體元件的橫截面圖，顯示一垂直型電晶體具有根據本發明在渠道中形成之堆疊閘極和耦合到電晶體的擴散區之一位元線結點及位元線結點；

第7圖為第3圖之半導體元件的橫截面圖，其具有根據本發明沈積在渠道頂端絕緣上之導電材料，和為形成上提淺絕緣渠道而準備之閘極氧化物；

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明(六)

第8圖為第7圖之半導體元件的橫截面圖，其具有根據本發明蝕刻且為形成被上提淺絕緣渠道而填充之位置；

第9圖為第8圖之半導體元件的橫截面圖，其具有根據本發明沈積在上提淺絕緣渠道材料上，和在元件上表面上之介電質層和導電層；

第10圖為第9圖之半導體元件的橫截面圖，具有根據本發明形成在渠道之中，且形成在上提淺絕緣渠道上之閘極結構；

第11圖為根據本發明之半導體元件的橫截面圖，顯示在基板中形成一凹槽，用於在通道和埋帶之間具有改善耦合之垂直型電晶體；及

第12-14圖為根據本發明完成之各種埋入式位元線組態的橫截面圖。

### 優選實施例詳述

本發明係關於一種半導體元件，尤其是藉由採用選擇次常壓化學氣相沈積技術，形成用於半導體記憶體之深渠道頂端絕緣層的方法。本發明提供一種用以在深渠道中之儲存節點上，形成頂端渠道絕緣層之改良方法。本發明主要採用一種次常壓化學氣相沈積(SACVD)製程，在深渠道之中沈積一氧化物，其中側壁已與氮化層排成一列。該SACVD氧化物為一臭氧活化TEOS製程，其中在矽上之選擇性成長的沈積速率，約比在氮化物上大5倍，該SACVD或選擇氧化物沈積製程宜包含一其於臭氧之次常壓化學氣相沈積，其壓力約在50到760Torr之間，且在

(請先閱讀背面之注意事項再填寫本頁)

裝訂線

## 五、發明說明(7)

$O_2/O_3$  和 TEOS 的氣體環境下。而沈積時的溫度則約在 300 °C 到 650 °C 之間。在矽和氮化物之間，沈積速率的選擇約為 2 到 25:1，而以從 5 到 10:1 為較佳。其他的材料也可以達到很好的選擇率。在此情形下，下面將更詳細的說明以更多控制方式形成渠道頂端絕緣層。

現在詳細參考圖式，在所有的幾個圖中，類似的參考數字表示相似或相同的組件，而且從第 1 圖開始，先圖示部分的半導體元件 10。半導體元件 10 包含一基板 12，雖然可以用其他材料，如砷化鎵或絕緣體上矽(SOI)，但是以矽基板較佳。藉由已知製程技術中的那些技巧，貫穿宜包含一墊氧化物層 18 和墊氮化物層 20 之堆疊墊 16，而在基板 12 之中形成深渠道 14。雖然可以使用沈積製程，但是墊氧化物層 18 宜藉由熱氧化物形成。而墊氮化物層 20 宜沈積在墊氧化物層 18 之上。柱環 22 係形成在渠道 14 之中，用以電性絕緣部分渠道 14 和基板 12。渠道 14 的下部分(未圖示)，也藉由在渠道側邊和底部之上的薄介電質層(未圖示)，與基板 12 電性絕緣。

用導電填充物材料 24，宜用多晶矽或摻雜多晶矽，當然也可以用其他的導電材料，填充渠道 14。填充物材料 24 在柱環 22 的頂端部分之上延伸，並接觸基板 12。因此在渠道 14 之中留下一凹槽 26。埋帶 28 包含在基板 12 之上表面 34 下方，約 10nm 和約 600nm 之間的上表面 32。

參考第 2 圖，在堆疊墊 16 上和凹槽 26 內部，沈積一氮化物墊圈 36。氮化物墊圈 36 宜為氮化矽，且其厚度宜約

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明( )

為 5 nm。如第 2 圖所示，除了渠道 14 之側壁以外，自所有的表面移除氮化物墊圈 36，宜使用反應離子蝕刻或等效製程移除。然後沈積次常壓化學氣相沈積 (SACVD) 層 40。SACVD 層 40 宜為一氧化物，但最好為多臭氧 TEOS 層，其由 Elbel 等人在 1998 年 IEEE 研討會，技術論文集之 VLSI 技術摘要的第 208-209 頁，所提之 "A new STI process based on selective oxide deposition" 論文中有所說明，此處將其納入參考。SACVD 層在矽上之成長速率，比在氮化物上約大 5 倍，但是，也可以使用其他的成長速率，如約大 2 倍到約大 25 倍。在沈積 SACVD 層 40 時，SACVD 層之成長在宜為多晶矽之填充物材料 24 上的選擇性成長，比在渠道 14 之側壁上的氮化物墊圈 36 之上和在墊氮化物層 20 之上的快。在優選實施例中，SACVD 層 40 之渠道頂端部分 42 的厚度約為  $500\text{ \AA}$ ，而在氮化物墊圈 36 上之部分 41 的厚度約為  $100\text{ \AA}$ 。有利地，在墊氮化物 20 之上和在 SACVD 層 40 之渠道 14 的側壁之上，縮小的厚度允許 SACVD 層 40，可以藉由單一的蝕刻步驟，自側壁和堆疊墊 16 的表面 43 移除，也同時減少 SACVD 層 40，而形成一改良的渠道頂端絕緣層 44 (第 3 圖)。

參考第 3 圖，可以對 SACVD 層 40 鄰接渠道頂端部分 42 (第 2 圖) 實行任意的稠化製程。此稠化製程可以藉由透過 SACVD 層 40 之頂端表面 32 的氧化和 / 或氮化而實行。該稠化製程增強在形成儲存節點的填充物材料 24，和將會在後續製程步驟沈積在凹槽 26 中的閘極導體之間的電性

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

總

## 五、發明說明(9)

絕緣。實行濕式蝕刻製程，如HF蝕刻，以自氮化物墊圈36移除SACVD層40。在本實施例中，約要移除 $100\text{Å}$ ，以清除SACVD層40之側壁，而且也回蝕刻 $100\text{Å}$ 之渠道頂端部分42(第2圖)。殘留的SACVD層40則形成渠道頂端絕緣層44。因為渠道頂端絕緣層44係利用沈積製程而形成的，所以SACVD層40之厚度很好控制。藉由後續之濕式回蝕刻SACVD層40，而排除如習知技術所實行之傳統的填充和挖掘，就可以很好的控制渠道頂端絕緣層44之厚度。在優選實施例中，渠道頂端絕緣層44之厚度約在 $10\text{nm}$ 到 $100\text{nm}$ 之間，而最好是約在 $30\text{nm}$ 到 $40\text{nm}$ 之間。

參考第4-6圖，現在將根據本發明，說明用於淺絕緣渠道(STI)之方法。參考第4圖，蝕刻部分的元件100，以形成用以淺渠道絕緣材料之位置48。位置48係移除部分的基板12，埋帶28，渠道頂端絕緣層44，柱環22，啞多晶矽材料50，和填充物材料而形成的。位置48係由介電質材料51填充，其宜為氧化物，如二氧化矽。將上表面52平坦化，以製備用於後續製程之表面52。

參考第5圖，可將上表面52作去除處理，以移除任何殘留的氧化物。挖掘啞多晶矽材料50，以移除材料50。自渠道14的側壁剝離氮化物墊圈36。然後宜藉濕式蝕刻製程，自基板12剝離堆疊墊16。而留下的結構包含受控渠道頂端絕緣層44，並準備沈積，犧牲的氧化物和離子佈植，以在元件100之上形成元件。在離子佈植之後，移除該犧牲氧化物層(未顯示)。在沈積導電材料56之前，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(一)

要先形成一薄的閘極氧化物層 58。導電材料 56 宜包含多晶矽或摻雜的多晶矽，且沈積如圖所示。以已知技術，將閘極氧化物 58 形成在閘極導體 62 (參見第 6 圖) (在渠道 14 中之導電材料 56) 和基板 12 之間。

參考第 6 圖，導電層 57，例如矽化物，如矽化鎢，可沈積在導電材料 56 之上。導電材料 56 和導電層 57 係由閘極結構之介電質材料 60 絶緣，其中該閘極結構係以已知技術中的那些技巧形成。介電質材料 60 可包含氧化物或氮化物，但以氮化矽較佳。導電材料 56 和導電層 57 形成毗鄰基板 12 之部分 64 的閘極導體 62。部分 64 係當作垂直型電晶體 69 之通道 63。垂直型電晶體 69 具有一當作源極之位元線 66 和一當作汲極之儲存節點 68。位元線 66 連接到位元線接點 67，其中其係連接到擴散區 65。如第 6 圖所示，藉由渠道頂端絕緣層 44，閘極導體 62 係與埋帶 28 分離的。埋帶 28 包含向外擴散，使儲存節點 68 經由通道 63 連接到擴散區 65 之摻雜物。如前所述，根據本發明而可靠地形成絕緣層 44 到預定的厚度。雖然圖示為一種垂直型電晶體組態，但是前述之方法也很容易地延伸到其他的電晶體和元件。

參考第 7 圖，其說明用於上提淺絕緣渠道 (RSTI) 之受控絕緣層的形成。在第 3 圖之結構的進一步製程期間，自渠道 14 之側壁，剝離氮化物墊圈 36。然後最好藉由濕式或乾式蝕刻製程，自基板 12 剝離堆疊墊 16。濕式蝕刻可包含先用熱磷酸蝕刻，再短暫的 HF 蝕刻或 HF 甘油蝕刻。乾式蝕刻可包含化學下游蝕刻或反應離子蝕刻。其餘

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

A7

B7

## 五、發明說明(一)

的結構包含具有任意氧化層 45 之渠道頂端絕緣層 44，且準備好犧牲氧化物沈積和離子佈植，以形成一垂直型電晶體。在移除了該犧牲氧化物層之後（未顯示），形成閘極氧化物 46，隨後沈積一導電材料 48（閘極導體部分）和沈積一介電質層 59，以氮化物較佳。導電材料 48 之沈積可以填滿或不填滿渠道凹槽。蝕刻部分的元件 10，以形成用於上提淺絕緣渠道材料 55 之絕緣渠道 53，其中上提淺絕緣渠道材料宜包含示於第 8 圖之氧化物。在第 9 圖之中，在剝離介電質層 59，之後，以已知技術中的那些技巧，沈積導電材料 57 和介電質材料 60，而形成在第 10 圖之中的閘極結構。雖然只圖示和說明一個垂直型電晶體組態，但是所揭露之方法可以很容易地延伸到其他的電晶體和元件。

參考第 11 圖，藉由深接面的形成，其優點是電晶體通道 70 會進一步移動而遠離渠道 14，增強與埋帶向外擴散區重疊，而不會衝擊到元件性能。在啞多晶矽移除步驟之後，如上所述，移除氮化物墊圈 36。接著宜實行一蝕刻製程，以移除部分的基板 12，使得當通道 70 形成時，通道 70 會進一步遠離渠道 14，而且會更容易與埋帶 28 的向外擴散區接觸。宜藉由乾式蝕刻製程，如反應離子蝕刻或化學下游蝕刻，過蝕刻基板 12，使得形成凹槽 72。之後持續如上所述之形成垂直型電晶體的正常製程。雖然 STI 示於第 11 圖，但是也可以執行 RSTI 之製程。

參考第 12-14 圖，SCAVD 層 140 可以用在許多種應用之中

## 五、發明說明(一)

。SACVD層140可以被用以絕緣任何摻雜的埋入區，如最好跟垂直型電晶體有關之儲存節點，埋入式位元線或其他的源極/汲極連接。在第12-14圖中，SACVD層140係形成在適當的摻雜多晶矽埋入式位元線142之上。接著再實行各種不同的閘極結構144，使位元線142連接到源極/汲極區146。也可以使用導電材料148(第14圖)，使位元線142連接到擴散區150。介電質區以152表示，而基板則以154表示。

本發明已說明一種新穎的元件，和形成用於半導體記憶體之深渠道絕緣層之方法的優選實施例(其係打算說明，但不侷限於此)，應注意者，熟知技術之人士可依上述之技術完成其修正例和變化例。因此，應當明確，改變可造成本發明之特殊實施例，其在本發明之範圍和精神之中，如附錄申請專利範圍所述。應專利法之特殊要求，本發明已詳細敘述，希望受到專利證書保護之申請專利範圍敘述在附錄申請專利範圍。

### 符號之說明

- 10.....半導體元件
- 12.....基板
- 14.....渠道
- 16.....埋極墊
- 18.....墊氧化物層
- 20.....墊氮化物層
- 22.....柱環

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明 (一)

- 24.....填充物材料  
 26.....凹槽  
 28.....埋帶  
 32.....上表面  
 34.....上表面  
 36.....氮化物墊圈  
 40.....SACVD層  
 41.....部分  
 42.....渠道頂端部分  
 43.....表面  
 44.....渠道頂端絕緣層  
 45.....任意氧化層  
 46.....開極氮化物  
 48.....狀態  
 50.....嘎多晶矽材料  
 51.....介電質材料  
 52.....上表面  
 53.....絕緣渠道  
 55.....上提淺絕緣渠道材料  
 56.....導電材料  
 57.....導電層  
 58.....開極氧化物層  
 59.....介電質層  
 60.....介電質材料

(請先閱讀背面之注意事項再填寫本頁)

裝訂線

## 五、發明說明 (14)

- 62.....閘極導體  
 63.....通道  
 64.....部分  
 65.....擴散區  
 66.....位元線  
 67.....位元線接點  
 68.....儲存節點  
 69.....垂直型電晶體  
 70.....電晶體通道  
 72.....凹槽  
 100....元件  
 140....SACVD層  
 142....埋入式位元線  
 144....閘極結構  
 146....源極／汲極區  
 148....導電材料  
 150....擴散區  
 152....介電質區  
 154....基板

(請先閱讀背面之注意事項再填寫本頁)

裝訂線

## 六、申請專利範圍

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂

1. 一種控制半導體元件用絕緣層在渠道中之厚度的方法，其包含步驟：

提供一具有導電材料形成在其中之渠道；

在位於該導電材料上方之渠道側壁上，形成一墊圈；

沈積一選擇氧化物沈積層在該導電材料和該側壁之上，在該導電材料之上選擇性成長該選擇氧化物沈積層的增加速率，大於該側壁之墊圈；及

移除除了與該導電材料接觸部分以外之該選擇氧化物沈積層，以在該渠道中之該導電材料上，形成一絕緣層。

2. 如申請專利範圍第1項之方法，其中沈積該選擇氧化物沈積層之步驟，包含藉由化學氣相沈積技術沈積該選擇氧化物沈積層。
3. 如申請專利範圍第1項之方法，其中該選擇氧化物沈積層包含一臭氧活化TEOS氧化物。
4. 如申請專利範圍第1項之方法，其中在該導電材料上之成長的增加速率，約比在該側壁之墊圈上的大5倍。
5. 如申請專利範圍第1項之方法，其中形成墊圈在側壁上之步驟包含氮化物墊圈。
6. 如申請專利範圍第1項之方法，其中該選擇氧化物沈積之厚度約在10nm到200nm之間。
7. 如申請專利範圍第1項之方法，其中該導電材料包含多晶矽，而該方法還包含氧化在該絕緣層下之該多晶矽的步驟。

## 六、申請專利範圍

(請先閱讀背面之注意事項再填寫本頁)

8. 如申請專利範圍第1項之方法，其中又包含自該渠道側壁移除該墊圈之步驟。
9. 一種製造垂直型電晶體之方法，包含其步驟：

提供一具有渠道形成在其中之基板，各渠道都具有一形成在其中之儲存節點，而該儲存節點具有埋帶；在位於該埋帶上方之渠道側壁上，形成一墊圈；沈積一選擇氧化物沈積層在該埋帶和該側壁之上，在該埋帶之上選擇性成長該選擇氧化物沈積層的增加速率，大於該側壁之墊圈；及移除除與該埋帶接觸部分以外之該選擇氧化物沈積層，以形成一渠道頂端絕緣層；及在該渠道之中形成一閘極導體，以便形成一毗鄰該閘極導體之通道，用以在該埋帶和導電線之間，在閘極導體活化時，提供電性上的傳導。
10. 如申請專利範圍第9項之方法，其中又包含橫向蝕刻該基板之步驟，以形成凹進基板之凹槽，使得該凹槽延伸越過該渠道之側邊，該凹槽會與該渠道相連；及沿著在該基板中之該凹槽，提供一通道，以便在閘極導體活化時，可以在該埋帶和該導電線之間提供貫穿的電性傳導。
11. 如申請專利範圍第10項之方法，其中該橫向蝕刻之步驟，包含藉由乾式蝕刻製程作橫向蝕刻。
12. 如申請專利範圍第9項之方法，其中該導電線包含位元線。

## 六、申請專利範圍

(請先閱讀背面之注意事項再填寫本頁)

13. 如申請專利範圍第9項之方法，其中沈積該選擇氧化物沈積層之步驟，包含藉由化學氣相沈積技術沈積該選擇氧化物沈積層。
14. 如申請專利範圍第9項之方法，其中該選擇氧化物沈積層包含一臭氧活化TEOS氧化物。
15. 如申請專利範圍第9項之方法，其中在該埋帶上之成長的增加速率，約比在該側壁之墊圈上的大5倍。
16. 如申請專利範圍第9項之方法，其中形成墊圈在側壁上之步驟，包含氮化物墊圈。
17. 如申請專利範圍第9項之方法，其中在該埋帶上之次常壓層的厚度約在10nm到200nm之間。
18. 如申請專利範圍第9項之方法，其中該埋帶包含多晶矽，且還包含稠化在該渠道頂端絕緣層之下之多晶矽的步驟。
19. 如申請專利範圍第9項之方法，還包含自該渠道側壁移除該墊圈之步驟。
20. 一種半導體記憶體包含：
  - 一具有許多深渠道形成在其中之基板，各深渠道具有：  
    形成在其中之埋帶，以接近放置在該深渠道中之儲存節點；
  - 一由選擇性成長之以常壓化學氣相沈積材料而形成的絕緣層，該次常壓化學氣相沈積材料層係形成在該埋帶之上，其中在該埋帶上之該次常壓化學氣相沈積

## 六、申請專利範圍

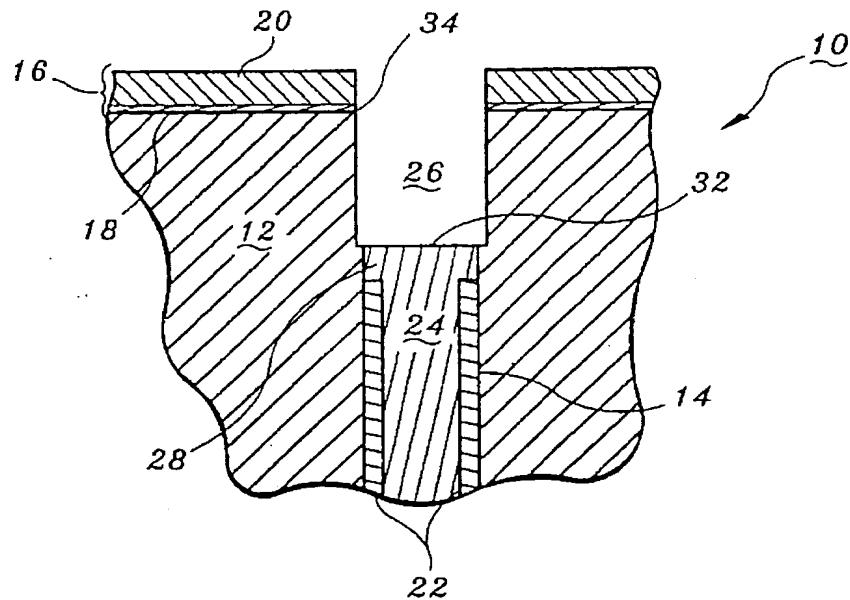
材料層的成長速率，比在位於該埋帶上方之該渠道側壁上的快。

21. 如申請專利範圍第20項之半導體記憶體，其中該絕緣層包含一臭氧活化TEOS氧化物。
22. 如申請專利範圍第20項之半導體記憶體，其中該絕緣層之厚度約在10nm到200nm之間。
23. 如申請專利範圍第20項之半導體記憶體，其中又包含一存取電晶體，其含有一形成在該渠道中之閘極，且至少有一部分的閘極與該絕緣層接觸，該電晶體具有形成在毗鄰該閘極之該基板中的通道，其係用以將該埋帶電性耦合到位元線。
24. 如申請專利範圍第23項之半導體記憶體，其中該基板包含一凹槽部，該凹槽部分係用以使增加自該埋帶向外擴散和該通道之間的重疊部分。

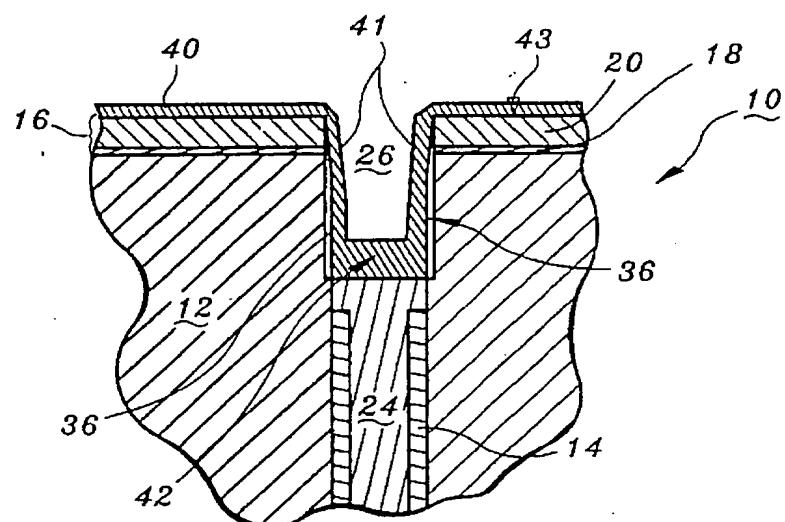
(請先閱讀背面之注意事項再填寫本頁)

表  
訂

459385

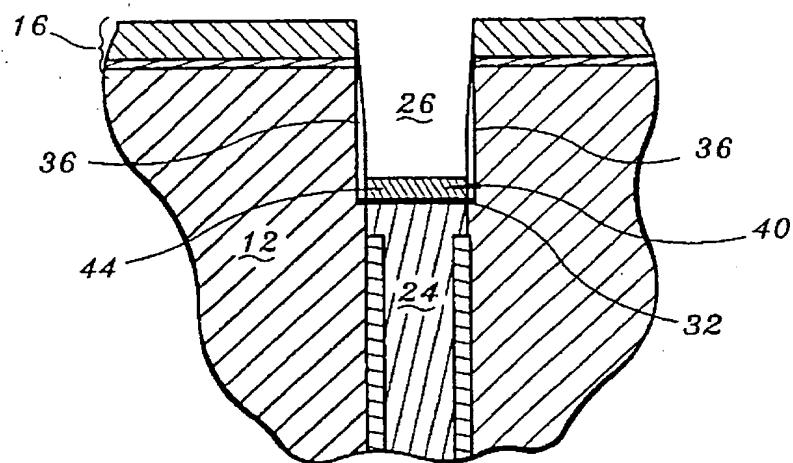


第 1 圖

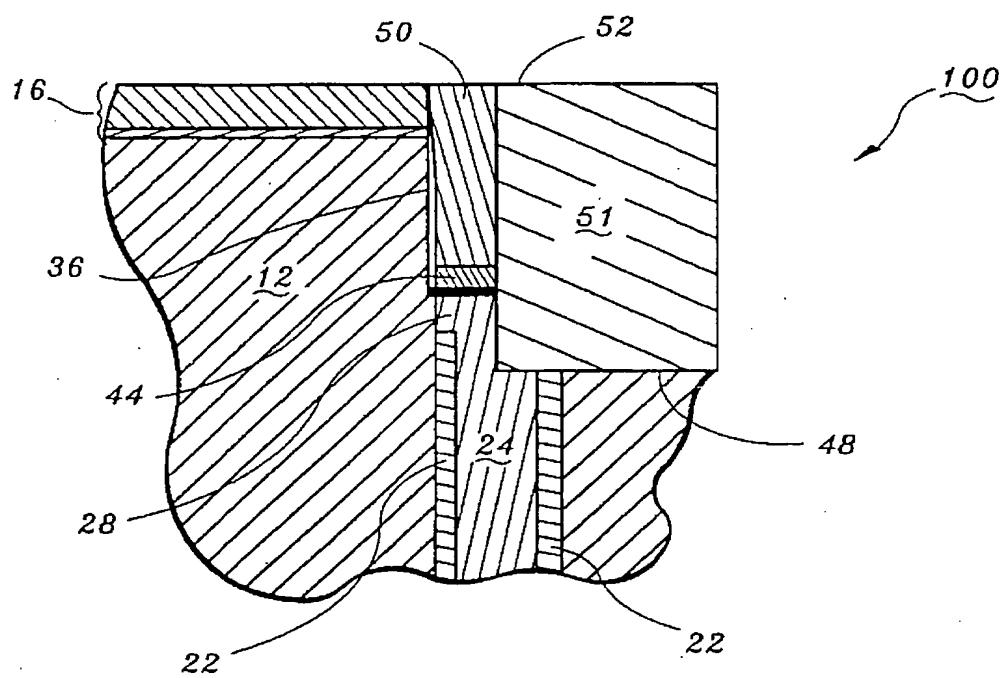


第 2 圖

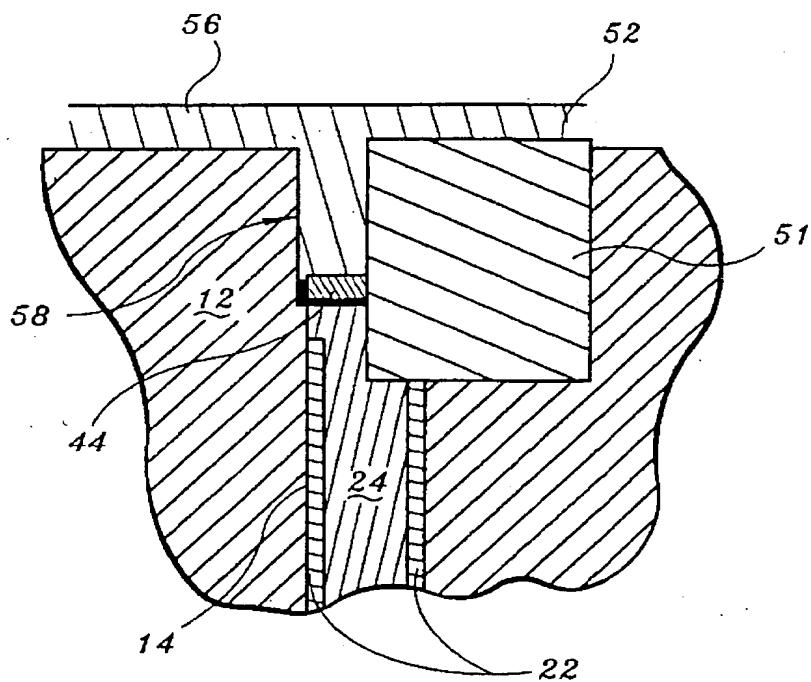
459385



第 3 圖

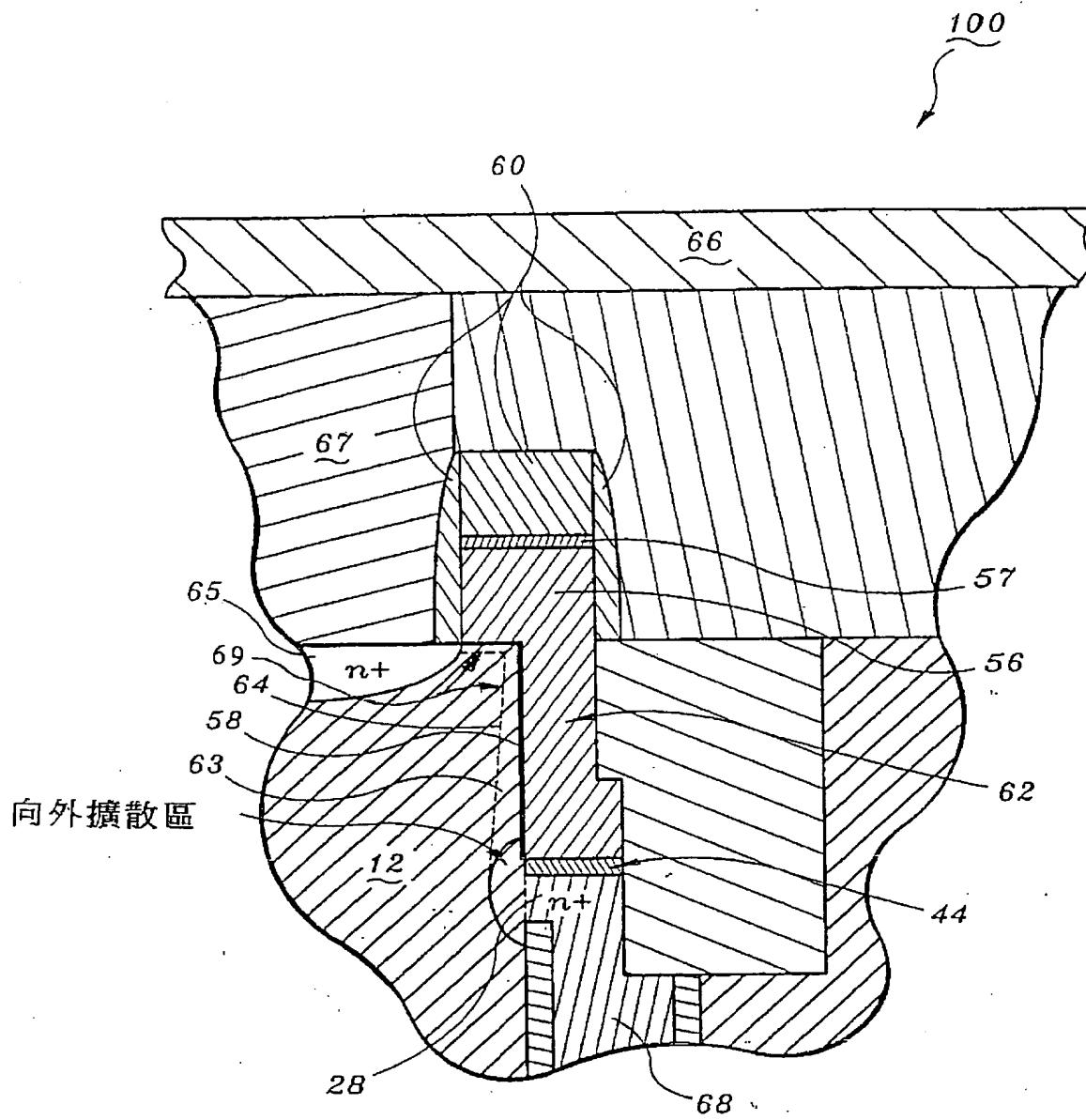


第 4 圖



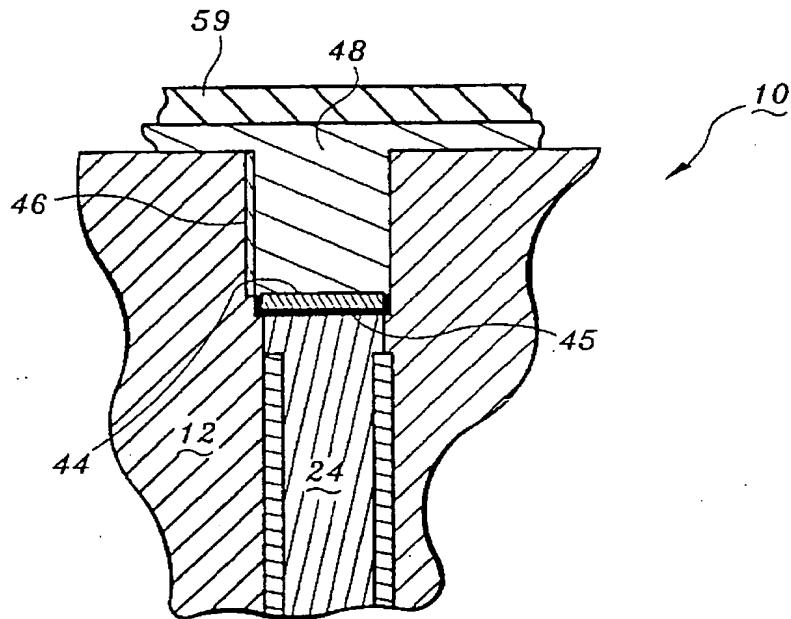
第 5 圖

90年6月15日  
修正  
補充

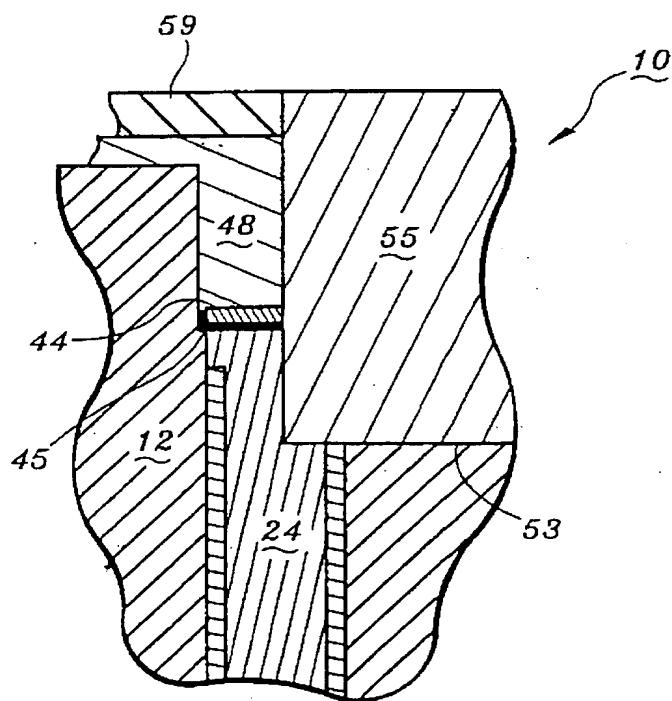


第 6 圖

459385

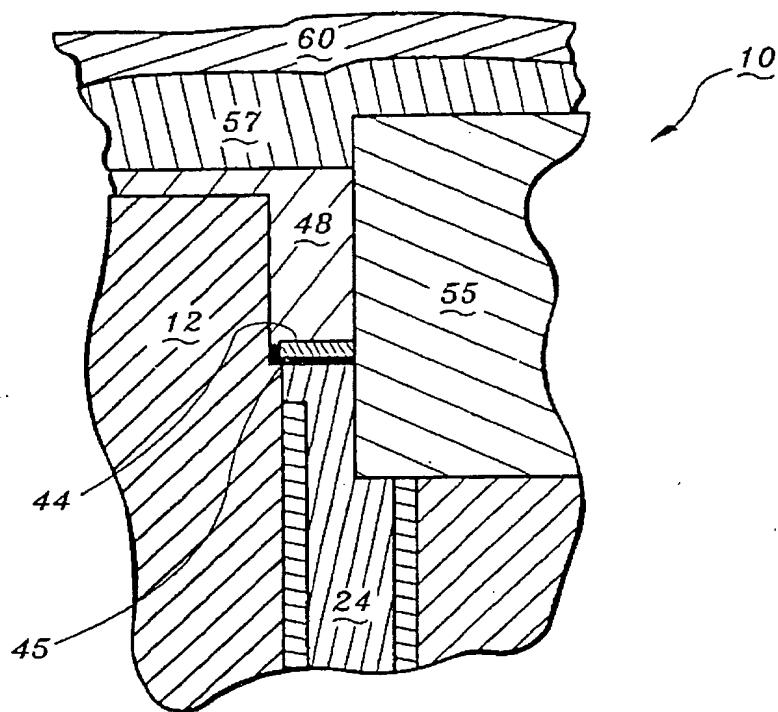


第 7 圖

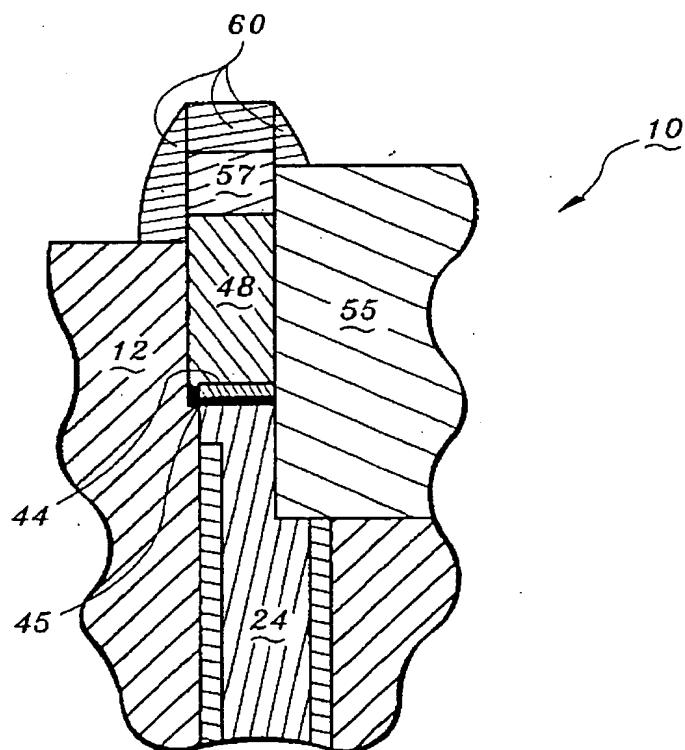


第 8 圖

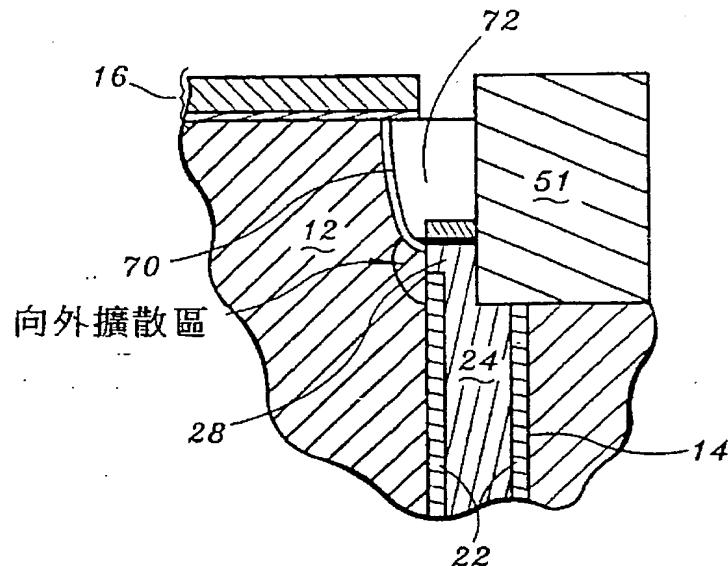
45938



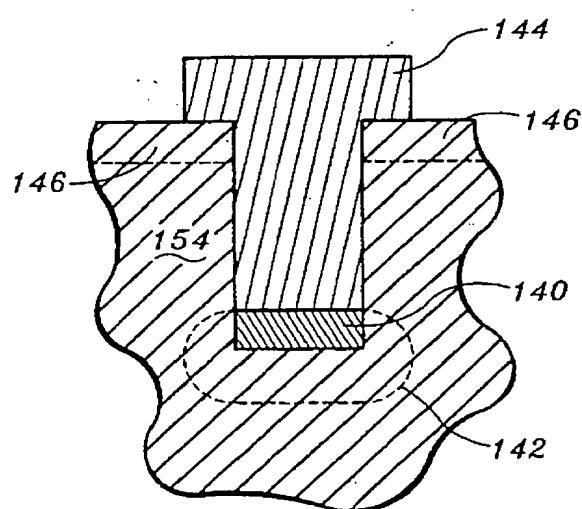
第 9 圖



第 10 圖

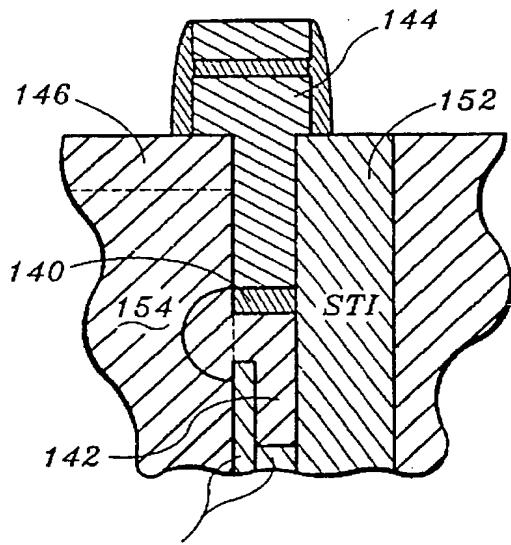


第 11 圖

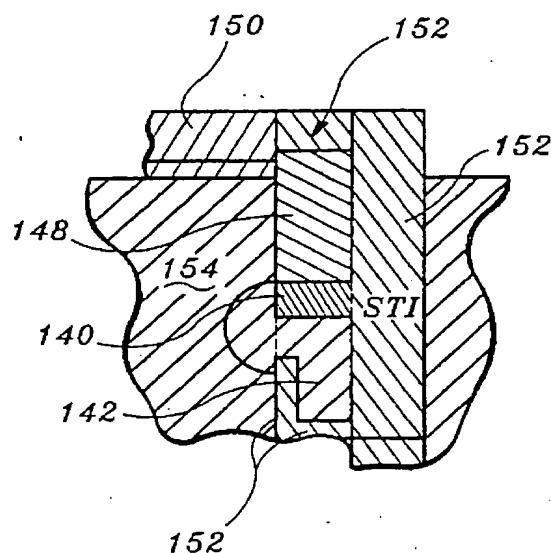


第 12 圖

439385



第 13 圖



第 14 圖

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**